

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-154925

(43)Date of publication of application : 08.06.1999

(51)Int.Cl.

H04J 11/00
H04B 7/005
H04L 7/00
H04L 27/38
H04L 27/22

(21)Application number : 09-321462

(71)Applicant : HITACHI DENSHI LTD
NIPPON HOSO KYOKAI <NHK>

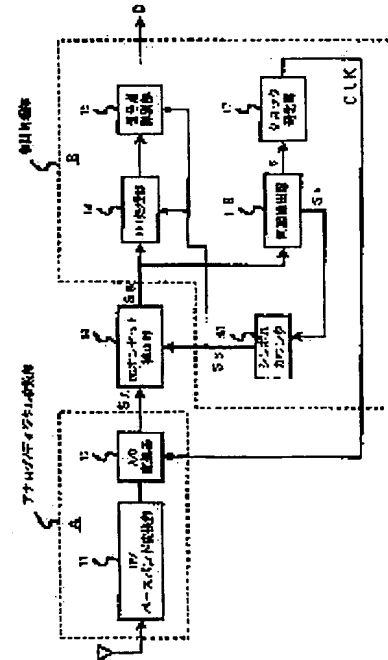
(22)Date of filing : 21.11.1997

(72)Inventor : NAKADA TATSUHIRO
AKIYAMA TOSHIYUKI
MIYASHITA ATSUSHI
SANO SEIICHI
TSUKAMOTO NOBUO
MORIYAMA SHIGEKI
HAMAZUMI HIROYUKI
TSUCHIDA KENICHI

(54) DIGITAL TRANSMITTER

(57)Abstract:

PROBLEM TO BE SOLVED: To easily eliminate IC component superimposed on a signal and to sufficiently enhance transmission performance.
SOLUTION: A DC offset correction section 13 is inserted between an A/D converter conversion section A and a demodulation processing section B of a receiver of the digital transmitter to detect a low frequency component of a multiple (t) of a symbol period (t is about 10) or more from a sample series output of a received signals. The low frequency component of the symbol period or move is eliminated by keeping the correction value constant at least within a valid symbol period in order to eliminate the low frequency component.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-154925

(43) 公開日 平成11年(1999) 6月8日

(51) Int.Cl.⁸

識別記号

F I

H 0 4 J 11/00

H 0 4 B 7/005

H 0 4 L 7/00

27/38

27/22

H 0 4 J 11/00

H 0 4 B 7/005

H 0 4 L 7/00

27/00

27/22

Z

F

G

Z

審査請求 未請求 請求項の数 3 O L (全 13 頁)

(21) 出願番号

特願平9-321462

(22) 出願日

平成9年(1997)11月21日

(71) 出願人 000005429

日立電子株式会社

東京都千代田区神田和泉町1番地

(71) 出願人 000004352

日本放送協会

東京都渋谷区神南2丁目2番1号

(72) 発明者 仲田 樹広

東京都小平市御幸町32番地 日立電子株式
会社小金井工場内

(72) 発明者 秋山 俊之

東京都小平市御幸町32番地 日立電子株式
会社小金井工場内

(74) 代理人 弁理士 武 顕次郎

最終頁に続く

(54) 【発明の名称】 デジタル伝送装置

(57) 【要約】

【課題】 信号に重畳されたDC成分の除去が容易に得られ、伝送性能が十分に発揮できるようにしたデジタル伝送装置を提供すること。

【解決手段】 アナログ／デジタル変換部Aと復調処理部Bを備えたデジタル伝送装置の受信装置において、それらのアナログ／デジタル変換部Aと復調処理部Bの間にDCオフセット補正部13を挿入し、受信信号のサンプル値系列出力からシンボル周期の t 倍以上(t は10程度)の低周波成分を検出し、少なくとも有効シンボル期間内では低周波成分除去のための補正値を一定状態に保持することにより、シンボル周期以上の低周波成分を除去するようにしたものの。

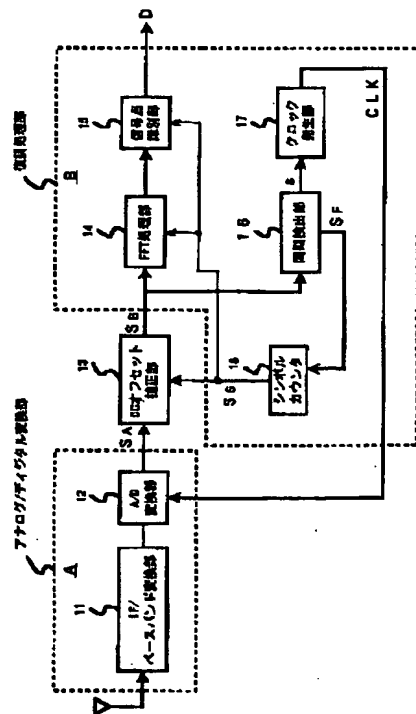


図1 本発明の装置内で用いる受信装置のブロック図

【特許請求の範囲】

【請求項1】 デジタル変調方式の送信部と受信部とを備えたデジタル伝送装置において、

前記受信部が、

受信信号に対してIF／ベースバンド変換及びA／D変換処理を行うアナログ／デジタル変換部と、

前記アナログ／デジタル変換部の出力である受信サンプル値系列に対してデジタル復調処理する復調処理部と、

前記アナログ／デジタル変換部と、前記復調処理部の間に接続されたDCオフセット補正部とで構成され、

前記DCオフセット補正部が、

受信サンプル値系列から、少なくとも有効シンボル期間内では低周波成分除去のための補正値を一定状態に保持して、シンボル周期以上の低周波成分を除去する手段を備えていることを特徴とするデジタル伝送装置。

【請求項2】 デジタル変調方式の送信部と受信部とを備えたデジタル伝送装置において、

前記受信部が、

受信信号に対してIF／ベースバンド変換及びA／D変換処理を行うアナログ／デジタル変換部と、

前記アナログ／デジタル変換部の出力である受信サンプル値系列に対してデジタル復調処理する復調処理部と、

前記アナログ／デジタル変換部と、前記復調処理部の間に接続されたDCオフセット補正部とで構成され、

前記DCオフセット補正部が、

受信サンプル値系列出力からシンボル周期以上の低周波成分を検出するためのDCオフセット検出部と、

有効シンボル期間内でDCオフセット検出部より出力された低周波成分を一定状態に保持するためのデータ保持器と、

受信サンプル値系列から低周波成分を除去するため、受信サンプル値系列出力から前記データ保持器の出力を減算する減算器とで構成されていることを特徴とするデジタル伝送装置。

【請求項3】 請求項1又は請求項2の発明において、前記送信部が、DCキャリアに対しても符号割り当てを行うように構成されていることを特徴とするデジタル伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、直交周波数分割多重デジタル変調方式に代表されるデジタル変調方式を用いたデジタル伝送装置に関する。

【0002】

【従来の技術】近年、移動体向けデジタル音声放送や、地上系デジタルテレビジョン放送への応用に適した変調方式として、マルチパスフェージングやゴーストに強いという特徴をもつOFDM(Orthogonal Frequenc

y Division Multiplex：直交周波数分割多重変調)方式が注目を浴びている。

【0003】このOFDM方式は、マルチキャリア変調方式の一種で、互いに直交する n 本(n は数10～数100)の搬送波にデジタル変調を施して使用する伝送方式のことであり、これら n 本の搬送波の各I軸成分とQ軸成分には、夫々被変調波として離散的な符号を割り当て、シンボル周期(数10 μ sec)毎に、その符号を更新するようになっている。

【0004】このときの離散的な符号としては、ランダム系列同様の符号であることが前提で、これにより、数シンボル期間、連続して同レベルの符号が発生する確率は極めて低いことが要件となる。そして、これらの多数のデジタル変調波は、図8に示すように、加算され、I軸とQ軸により直交変調され、OFDM信号として送信される。

【0005】このときの搬送波のデジタル変調方式としては、QPSK方式(Quadrature Phase Shift Keying：4 相位相偏移変調方式)が最もよく用いられるが、16QAM方式(16 Quadrature Amplitude Modulation：16 値直交振幅変調方式)や32QAM方式などの多値変調方式を用いることもできる。

【0006】ところで、このOFDM信号のシンボル構成は、有効データシンボルに遅延波の影響を軽減するためのガードインターバルを付加した構成になっている。ここで、このガードインターバルとは、変調シンボルの信号が巡回的になるように付加する信号のことであり、このガードインターバルの付加により、ガード内の遅延時間の遅延波に対しては、そのシンボル間干渉による劣化を避けることができ、これによりマルチパスフェージングに対して強い耐性を与えることができる。

【0007】一方、このOFDM方式は、サブキャリア間の周波数間隔が狭いため、送受信装置間のキャリア周波数誤差や復調系のサンプリング周波数誤差によるサブキャリア間の干渉を生じ易く、それらの周波数に高い精度を必要とする。この結果、受信装置がOFDM信号を正しく受信し続けるためには、受信装置のクロック周波数を、受信信号のクロック周波数に一致させるためのクロック再生処理が必要である。

【0008】また、このとき、受信信号のフレーム周期やシンボル周期が時間的に変動する場合には、受信装置のクロック周波数をその変動に追従させる必要があり、このため、送信側では、OFDM送信信号を、有効データシンボルと、数種類の同期シンボル群からなる伝送フレームとして構成し、受信側では、これら同期シンボル群を基にして同期引き込み処理を行い、送信側、受信側のクロック周波数の同期をとり、OFDM信号の復調を行っている。

【0009】このときの伝送フレーム構成の一例を示したのが図9で、この例では、まず、先頭に、時間軸上の

特定の位置を大まかに検出するための無信号期間からなる部分(以下、ヌルシンボルという)と、このヌルシンボルに比して、より高精度で時間軸上の特定の時点を示すための可変周波数信号期間からなる部分(以下、スweepシンボル)等の数種からなる同期シンボル群を設け、この後に有効データシンボルを配置して1フレームとし、この伝送フレームを1単位として伝送するのである。

【0010】図7は、従来技術によるOFDM伝送装置における受信装置の一例で、図示のように、受信した信号が入力されるアナログ/デジタル変換部Aと、デジタル変換された信号が入力される復調処理部Bとで構成されている。

【0011】そして、まずアナログ/デジタル変換部Aでは、受信した信号をIF周波数に変換した後、IF/ベースバンド変換部11により復調し、OFDMベースバンド信号を得、次いで、このOFDMベースバンド信号をA/D変換器12に入力し、クロック発生器17から供給されるクロックCLKを用いてサンプリングし、デジタル信号に変換して信号 S_A を出力する。

【0012】次に、復調処理部Bでは、まず、A/D変換器12から供給される信号 S_A を同期検出部16に入力し、同期引き込み処理の第一段階として、そのサンプル値系列を絶対値化する。このとき、OFDMデータ信号のI成分とQ成分の絶対値は、ある一定値以上のレベルを有し、絶対値が0になることはなく、一方、ヌルシンボルは、上記したように、そのレベルが0であるため、データシンボルのレベルとヌルシンボルのレベルに差が生じる。

【0013】そこで、同期検出部16では、図10(a)に示すように、大小レベル判定用のしきい値(閾値)を設定して、データシンボルのレベルとヌルシンボルのレベルの大小比較を行い、1伝送フレームの最後のデータシンボルから、次の伝送フレームの先頭にある筈のヌルシンボルに至るデータの時間軸上の遷移点を検出し、時間軸上でのヌルシンボルの位置に相当するフレーム同期信号 S_F を抽出する。

【0014】次に、こうして第一段階で求められたヌルシンボル開始位置に基づき、同期引き込み処理の第二段階として、まず、時間軸上に、ある一定の長さの時間窓(ウィンドウ)を設定し、この時間窓を時間軸上で移動させながら、各時間窓の位置毎に、この時間窓に含まれるサンプル値系列と、予め記憶してあるスweep信号との相互相関計算を行って相互相関値を算出し、時間窓内の相互相関値のピーク値を検出する。

【0015】次に、この相互相関値のピーク値の位置から、ベースバンド信号中の同期シンボルの時間間隔をサンプリングクロックのクロック単位でカウントし、カウント値の所定値に対する誤差情報 ε をクロック発生部17に出力する。そこで、クロック発生部17は、この誤

差情報 ε に基づいて、出力クロック周波数を可変制御し、これにより、受信したOFDM信号をサンプリングするための受信側でのサンプリング用のクロックCLKを、常に送信側のクロックに同期させることができるのである。

【0016】シンボルカウンタ18は、図13に示すように、カウンタ181とデコーダ182で構成されている。そして、カウンタ181は、クロック発生部17から供給されるクロックCLKをカウントし、デコーダ182は、カウント結果をデコードし、カウント値がシンボル周期に達したときパルスを発生し、これをシンボル同期信号 S_S として出力するようになっている。

【0017】このとき、カウンタ181は、同期検出部16から供給されるフレーム同期信号 S_F と、デコーダ182の出力であるシンボル同期信号 S_S によりリセットされる。従って、このシンボルカウンタ18の動作は、図14に示すようになる。そして、このシンボルカウンタ18から出力されるシンボル同期信号 S_S は、FFT処理部14と信号点識別部15に供給され、これにより、まずFFT処理部14では、デジタル信号から周波数軸に変換された受信信号のI、Q成分を出力し、これを信号点識別部15に供給する。

【0018】そこで、信号点識別部15は、この受信信号のI、Q成分により、予め所定のデータが書き込んであるROMのアドレスを検索し、これにより、このROMから、図11の左側に示す送信側での信号点配置に対応した復調データDを出力させるのである。なお、このときの信号点識別部15の動作は、ROMマッピング法と呼ばれる周知の方法である。

【0019】

【発明が解決しようとする課題】上記従来技術は、伝送処理により信号中のDC成分(直流分)に現れるレベル変動について配慮がされておらず、OFDM伝送における同期引き込み処理の劣化や、DCキャリアに符号を割り当てたときでの符号誤りの増加など、伝送性能の有効利用の点に問題があった。

【0020】詳しく説明すると、OFDM方式のデジタル伝送装置では、その信号処理系にD/A変換部やA/D変換部、それにオペアンプなどのアナログデバイスの存在が不可避であり、このため、それらのDC特性の計時的変化、或いはIFミキサ部や伝送路におけるDC成分の重畳などにより、OFDM信号のDC成分に変動が現れるのが避けられない。

【0021】しかして、このDC成分の変動は、OFDM伝送系での同期引き込み処理の劣化、或いはDCキャリアに符号を割り当てた場合、伝送性能の劣化につながってしまう。ここで、このDC成分の変動の影響について、さらに詳しく説明する。

【0022】OFDM伝送系での受信側では、上記したように、同期引き込み処理の第一段階として、ヌルシン

10

20

30

40

50

ボルの検出を行っており、これは受信した信号のデータシンボルのレベルとヌルシンボルのレベルの絶対値のレベル差を利用している。しかし、このとき、本来は、図10(a)に示したように、レベルが0である筈のヌルシンボルが、受信信号にDC成分が重畳された場合には、その絶対値レベルが増加し、図10(b)に示すように、しきい値を越えてしまい、このため、ヌルシンボルの検出ができなくなってしまうのである。

【0023】一方、DCキャリアに符号を割り当てた伝送方式の場合には、図11の右側に示すように、重畳された不要なDC成分、すなわちDCオフセットは、DCキャリアの信号成分に対して、あたかも雑音の如く振る舞うことになり、図示のように、DCキャリアに割り当てた符号に対して符号誤りを生じさせてしまう。そこで、従来技術では、通常、DCキャリアには符号を割り当てないようにした伝送方式を用いざるを得ず、この結果、与えられた帯域を充分に利用することができなくなってしまうのである。

【0024】本発明の目的は、信号に重畳されたDC成分の除去が容易に得られ、伝送性能が充分に発揮できるようにしたデジタル伝送装置を提供することにある。

【0025】

【課題を解決するための手段】上記目的は、デジタル変調方式の送信部と受信部とを備えたデジタル伝送装置において、前記受信部が、受信信号に対してIF/ベースバンド変換及びA/D変換処理を行うアナログ/デジタル変換部と、前記アナログ/デジタル変換部の出力である受信サンプル値系列に対してデジタル復調処理する復調処理部と、前記アナログ/デジタル変換部と、前記復調処理部の間に接続されたDCオフセット補正部とで構成され、前記DCオフセット補正部が、受信サンプル値系列から、少なくとも有効シンボル期間内では低周波成分除去のための補正値を一定状態に保持して、シンボル周期以上の低周波成分を除去する手段を備えるようにして達成される。

【0026】

【発明の実施の形態】以下、本発明によるデジタル伝送装置について、図示の実施形態により詳細に説明する。図1は、本発明の一実施形態で、この実施形態は、図示のように、図7で説明した従来技術による受信装置において、アナログ/デジタル変換部Aと復調処理部Bの間にDCオフセット補正部13を設けたものであり、その他の構成は、図7の従来技術と同じである。なお、ここで、このDCオフセット補正部13の出力を信号 S_B とする。

【0027】図2は、DCオフセット補正部13を、減算器21とDCオフセット検出部22、それにデータ保持器23からなるフィードバック型式により構成した場合の一実施形態で、A/D変換器12によるA/D変換後の受信サンプル値系列からなる信号 S_A は減算器21

の+端子に入力し、その-端子にはデータ保持器23の出力が接続され、その出力が信号 S_B となる。

【0028】このとき、減算器21の出力は、DCオフセット検出部22にも入力され、このDCオフセット検出部22の出力はデータ保持器23に入力される。そして、このデータ保持器23の出力が再び減算器21の-端子へ入力され、フィードバックループが形成されているので、フィードバック型式と呼ばれるのである。そして、減算器21の出力信号 S_B は、復調処理部BのFFT処理部14と同期検出部16に入力される。

【0029】DCオフセット検出部22は、シンボル周期を司るシンボルカウンタ18からシンボル周期毎に発生するパルス、すなわちシンボル同期信号 S_S を入力し、これにより減算器21の出力サンプル値系列中のDCキャリアに割り当てた符号の成分をシンボル期間保持し、さらにアナログ回路などによるDCオフセット成分を抽出する働きをする。

【0030】従って、このDCオフセット検出部22に設定すべき時定数とカットオフ周波数により、この本発明の実施形態での性能が決定されるので、これらの時定数とカットオフ周波数については慎重、且つ的確な設計をする必要があるが、これらの点については後述する。

【0031】次にデータ保持器23は、同じくシンボル同期信号 S_S により動作し、シンボル周期毎にDCオフセット検出部22の出力値を更新し、保持する働きをする。このときのデータ保持器23によるDCオフセット検出部22の出力値の更新時期は、ガードインターバル期間や、データシンボルの時間軸遷移点などの有効シンボル期間以外の時点とし、有効シンボル期間内でのデータ保持器23の出力が一定になるようにする。

【0032】その結果、減算器21の出力がDCオフセット検出部22及びデータ保持器23を通過することにより、受信信号に重畳され、雑音成分として振る舞うDCオフセット成分が抽出され、この抽出結果が、シンボル期間中一定値に保持された形の出力系列となってデータ保持器23から出力されることになる。

【0033】そして、この出力系列が再び減算器21の-端子に入力されるので、受信したサンプル値系列から、それに重畳されたDCオフセット成分が減算されることになり、この結果、主としてDC雑音成分だけが除去されたサンプル値系列が、信号 S_B として得られることになる。

【0034】従って、この実施形態によれば、DCキャリアにも符号を割り当てることができ、与えられた帯域の利用が充分に得られ、本来の伝送性能を確実に発揮させることができる。

【0035】次に、図3は、DCオフセット補正部13をフィードフォワード型式で構成した場合の一例で、この実施形態では、図示のように、A/D変換後の受信サンプル値系列からなる信号 S_A を減算器21の+端子に

入力すると共に、DCオフセット検出部22にも入力するようにしており、このDCオフセット検出部22からの出力をデータ保持器23に入力し、データ保持器23からの出力を減算器21の一端子に入力することにより、フィードフォワードループが形成されるようにしたものである。

【0036】ここで、DCオフセット検出部22及びデータ保持器23は、基本的には図2の実施形態におけるDCオフセット検出部22及びデータ保持器23と同様の機能と構成を有しているものであり、そして、これも図2の場合と同様、減算器21の出力 S_B は、FFT処理部14と同期検出部16に入力されることになる。

【0037】従って、この図3のDCオフセット補正部13によっても、図2に示したDCオフセット補正部13と同様に、DC雑音成分だけが除去されたサンプル値系列が、信号 S_B として得られることになり、この結果、DCキャリアにも符号を割り当てることができ、与えられた帯域の利用が充分に得られ、本来の伝送性能を確実に発揮させることができる。

【0038】次に、上記実施形態におけるDCオフセット補正部13内のDCオフセット検出部22の一例について、図4により説明する。この図4の例では、図示のように、A/D変換器12から供給された信号 S_A は、まずシンボル内平均処理部41に入力され、ここで、シンボル同期信号 S_S により、シンボル期間内の受信サンプル値系列の算術平均処理を行い、シンボル毎に平均値を算出し、結果をホールドすることにより、シンボル期間内は一定の値の信号となって出力される。

【0039】このとき、OFDM信号においては、DCキャリア以外の全ての搬送波は、シンボル期間内では、その平均値は0となる。従って、このシンボル内平均処理部41の出力からは、DCキャリアに割り当てた符号成分にDCオフセット成分が重畳された信号系列が出力されることになる。

【0040】次に、このシンボル内平均処理部41の出力は乗算器42の一方の端子に入力され、ここで定数 α が掛算され、 α 倍された入力値系列が出力され、この乗算器42の出力は加算器43の一方の入力に入力され、さらに加算器43の出力は、取り扱うべきデータのビット数に応じて、並列に所定の個数設けられているFF(Dフリップフロップ)45に入力される。このFF45はシンボル同期信号 S_S によってリセットされるようになっているので、ここで入力値系列は、一定サンプル区間、その値を保持し、FF45からの出力は乗算器44に入力される。この乗算器44も、乗算器42同様、入力値を β 倍して出力する。そして、この乗算器44の出力は加算器43の他方の入力端子に接続される。

【0041】従って、この図4の回路DCオフセット検出部22によれば、出力サンプル値系列中のDCキャリアに割り当てた符号の成分をシンボル期間保持し、さら

にアナログ回路などによるDCオフセット成分を抽出する、DCオフセット検出部22としての働きを得ることができる。

【0042】ここで、このときの定数 α 、 β の値は、次のように設定されている。まず、定数 α は、シンボル内平均処理部41から出力される、DCキャリアに割り当てた符号成分にDCオフセット成分が重畳された信号系列に対して、シンボル毎に符号が変化するDCキャリアの符号成分の影響がほとんど無くなるような値に設定する。具体的には、定数 $\alpha = 0.1$ 程度が通常、選ばれる。次に、定数 β については、 $\beta = 1 - \alpha$ として設定するのが一般的である。

【0043】ところで、上記したように、本発明の実施形態では、その性能を左右する主たる要因は、このDCオフセット検出部22の時定数及び周波数特性であり、これは、DCオフセット補正部13全体の特性で決まる。まず、時定数に関しては、DCキャリアでの信号成分が充分に保持されるように、シンボル周期以上の低周波成分に対しては充分な追随性を持つことを要し、シンボル間隔未満の低周波成分の変動にはほとんど応答しないような時定数に設定する必要がある。

【0044】次に、周波数特性に関しては、DCキャリアに割り当てた符号の成分をなるべく除去しないカットオフ周波数に設定する必要がある。既に説明したように、DCキャリアに割り当てた符号も、他のキャリアと同様に予めスクランブルされているので、符号0、或いは符号1が連続することは稀である。従って、ここで仮に、DCキャリアに割り当てた符号が0と1が交互に出現するような符号であったとすると、この場合は、符号の周波数成分としては最高の周波数となり、図12に示すように、この符号の周波数成分はシンボル周波数の1/2の周波数成分を中心にしたSinc関数となる。

【0045】そこで、DCキャリアに割り当てた符号が、数回連続して同レベルの符号が発生した場合も考慮すると、この符号の周波数成分を除去しないようなカットオフ周波数は、DCキャリアの周波数の1/20程度に設計すれば良いことになる。

【0046】次に、図5は、一般的なIIR(Infinite Impulse Response)型のデジタルフィルタにより構成した本発明の実施形態におけるDCオフセット検出部22の他の一例であり、また、図6は、同じく一般的なFIR(Finite Impulse Response)型のデジタルフィルタにより構成したDCオフセット検出部22のさらに別の一例である。

【0047】ここで、まず図5の例における乗算器51と加算器52、FF54、それに乗算器53は、夫々図4における乗算器42と加算器43、FF45、それに乗算器44と同じであるが、この図5でのFF54は、図4のように、シンボル毎にリセットされず、連続的に動作している点が異なり、これにより、入力された信号

S_A に対して周知の FIR 型デジタルフィルタとして機能する。

【0048】従って、この図5の回路によっても、出力サンプル値系列中のDCキャリアに割り当てた符号の成分をシンボル期間保持し、さらにアナログ回路などによるDCオフセット成分を抽出する、DCオフセット検出部22としての働きを得ることができる。なお、FIR型デジタルフィルタは周知なので、詳しい説明は省略する。

【0049】次に、図6の例は、複数のFF61~64と、同じ個数の乗算器65~68、それに加算器69により、周知のFIR型デジタルフィルタを構成したものであり、これにより、入力された信号信号 S_A に対して周知のFIR型デジタルフィルタとして機能する。

【0050】従って、この図6の回路によっても、出力サンプル値系列中のDCキャリアに割り当てた符号の成分をシンボル期間保持し、さらにアナログ回路などによるDCオフセット成分を抽出する、DCオフセット検出部22としての働きを得ることができる。なお、ここでも、FIR型デジタルフィルタは周知なので、詳しい説明は省略する。

【0051】

【発明の効果】本発明によれば、DCキャリアを使用するデジタル伝送装置の送信装置側、及び受信機側におけるアナログデバイス、或いは伝送路などで重畳されてしまう緩やかなDC成分だけの除去が容易に得られ、この結果、同期検出処理の性能が向上し、DCキャリアの符号誤り率を改善することができる。従って、本発明によれば、DCキャリアに符号を割り当てても、符号誤り率が増加する虞れを無くすことができ、この結果、帯域の利用が充分に得られ、高い伝送性能を容易に得ることができる。

【図面の簡単な説明】

【図1】本発明によるデジタル伝送装置の一実施形態における受信装置を示すブロック図である。

【図2】本発明の一実施形態におけるDCオフセット補正部の一例を示すブロック図である。

【図3】本発明の一実施形態におけるDCオフセット補正部の他の一例を示すブロック図である。

【図4】本発明の一実施形態におけるDCオフセット検出部の一例を示すブロック図である。

【図5】本発明の一実施形態におけるDCオフセット検出部の他の一例を示すブロック図である。

【図6】本発明の一実施形態におけるDCオフセット検出部のさらに別の一例を示すブロック図である。

【図7】従来技術によるデジタル伝送装置における受信装置の一例を示すブロック図である。

【図8】OFDM信号の一例を示す波形図である。

【図9】同期シンボルを含むOFDM信号の伝送フレーム構成の一例を示す波形図である。

【図10】ヌルシンボル検出処理の一例を示す説明図である。

【図11】QPSK変調方式の信号点配置の一例とDC成分の重畳による符号誤りを示す説明図である。

【図12】DCキャリア信号成分のスペクトラムとDCオフセット成分の帯域の関係を示す説明図である。

【図13】シンボルカウンタの一例を示すブロック図である。

【図14】シンボルカウンタの動作を示すタイミング図である。

【符号の説明】

- A アナログ／デジタル変換部
- B 復調処理部
- 11 IF／ベースバンド変換部
- 12 A/D変換器
- 13 DCオフセット補正部
- 14 FFT処理部
- 15 信号点識別部
- 16 同期検出部
- 17 クロック発生部
- 18 シンボルカウンタ
- 21 減算器
- 22 DCオフセット検出部
- 23 データ保持部
- 41 シンボル内平均処理部
- 42 乗算器
- 43 加算器
- 44 乗算器
- 45、61~64 Dフリップフロップ
- 65~68 乗算器
- 69 加算器

【図 1】

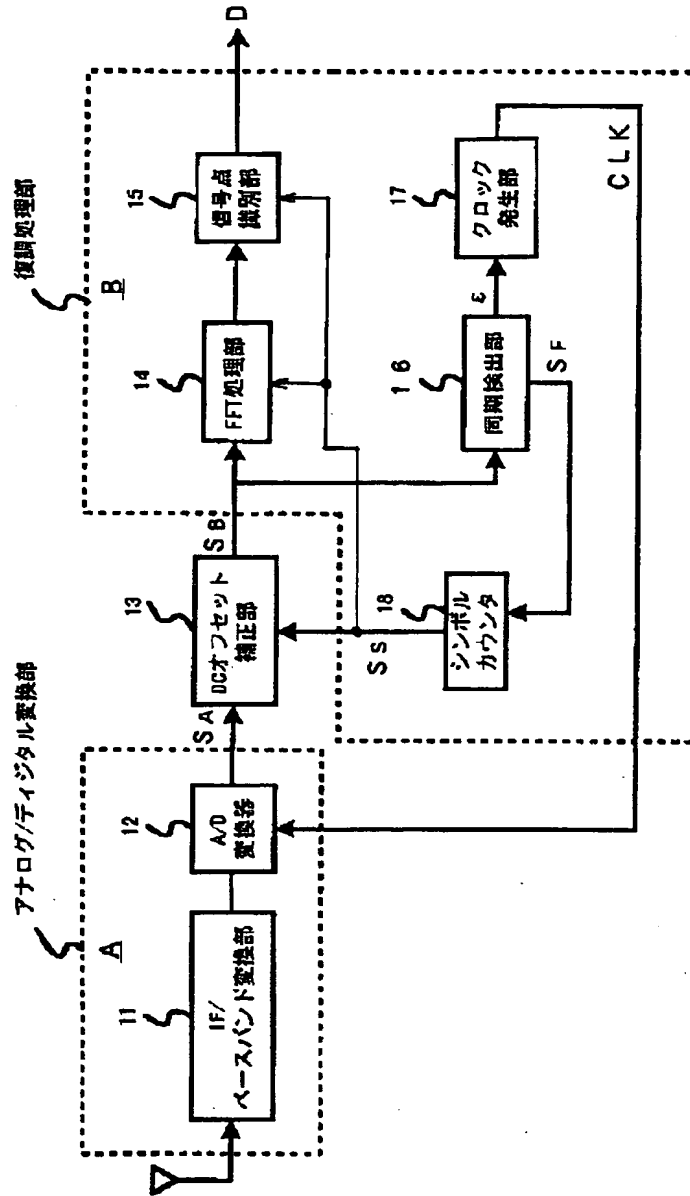


図1 本発明の実施例で用いる受信装置のブロック図

【図2】

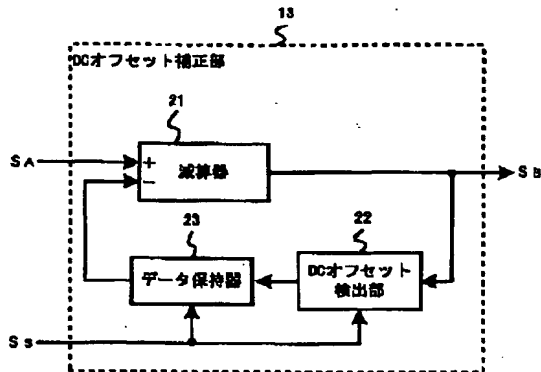


図2 DCオフセット補正部の構成例(その1)

【図11】

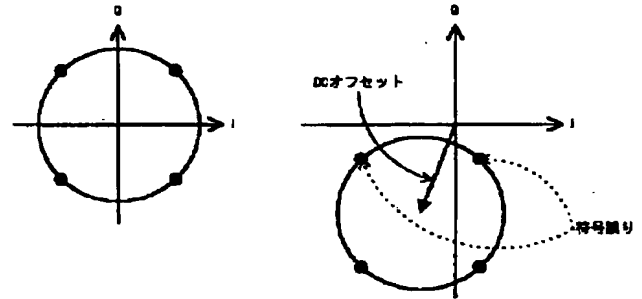


図11 QPSK変調方式の信号点配置とDC成分の重畳による符号誤りを説明する図

【図3】

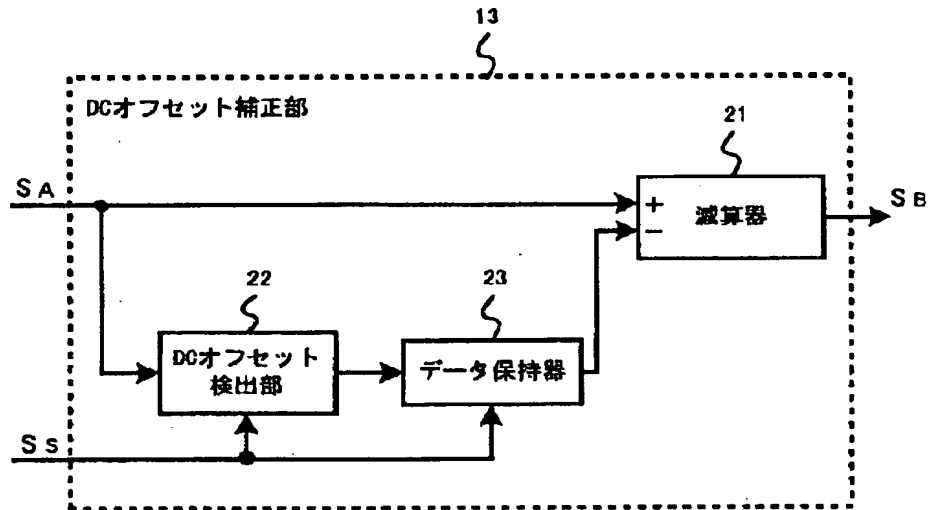


図3 DCオフセット補正部の構成例(その2)

【図12】

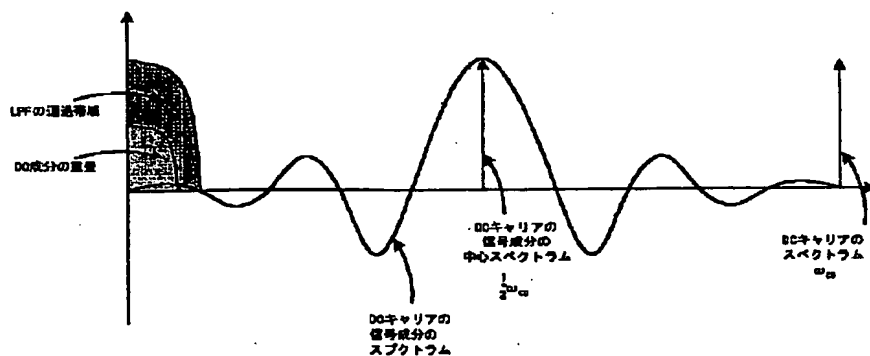


図12 DCキャリア信号成分のスペクトラムとDCオフセット成分の帯域の関係

【図 4】

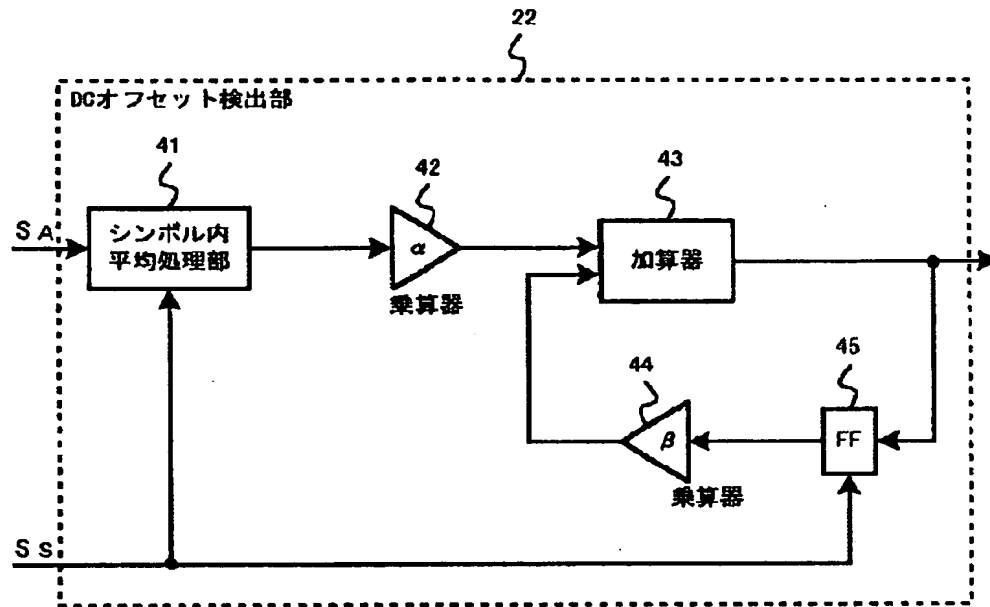


図4 DC オフセット検出部の構成例 (その 1)

【図 5】

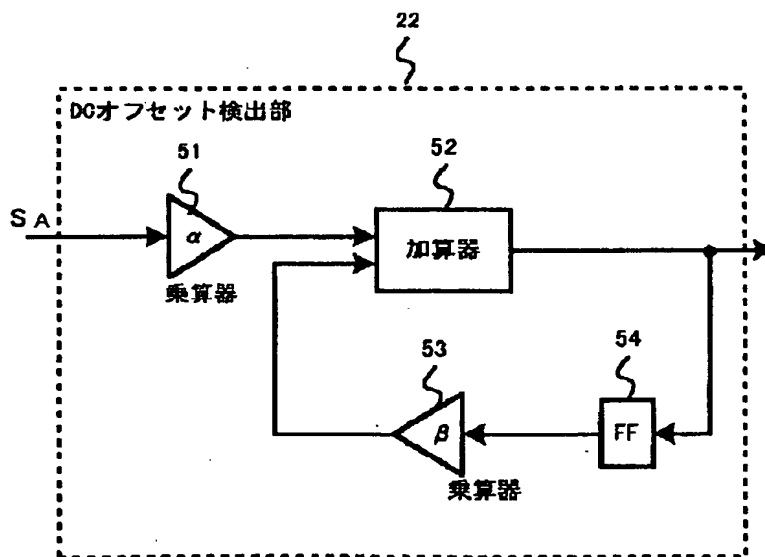


図5 DC オフセット検出部の構成例 (その 2)

【図6】

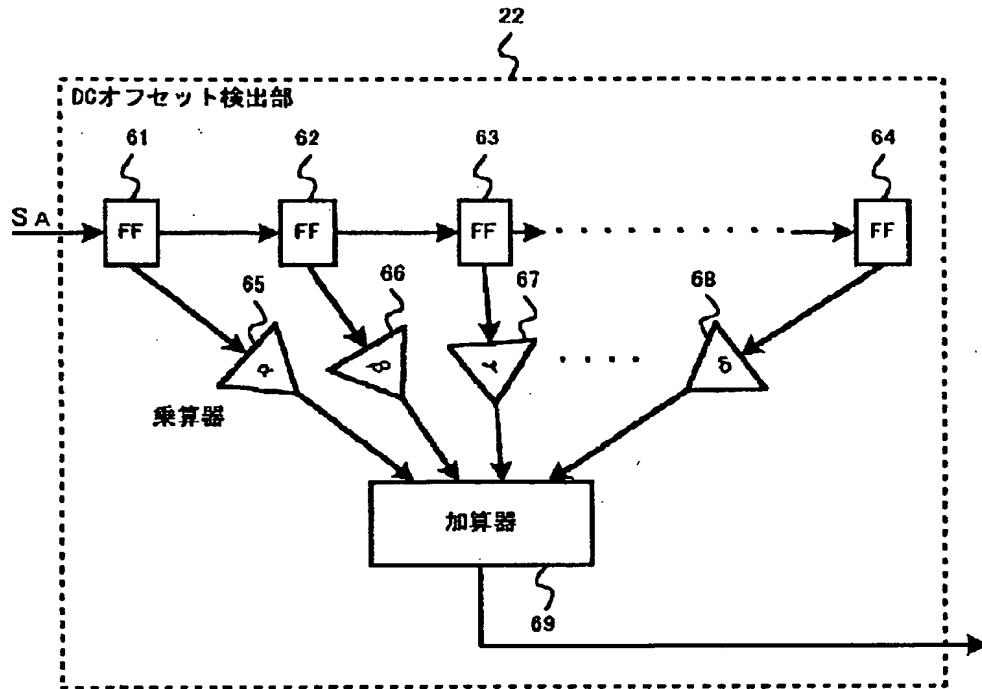


図6 DC オフセット検出部の構成例（その3）

【図8】

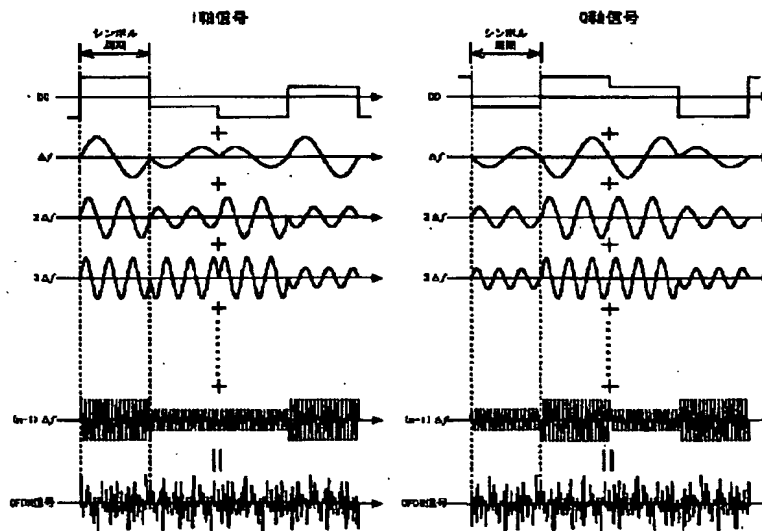


図8 OFDM の信号波形の構成

【図 7】

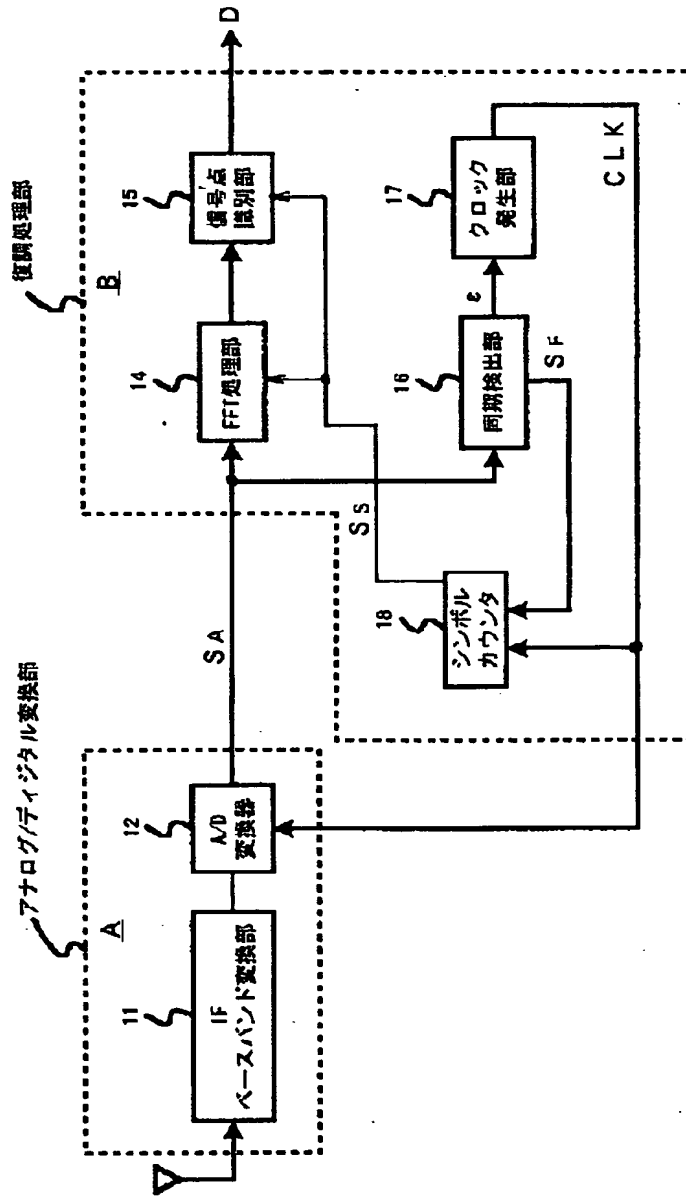


図7 従来受信部ブロック図

【図9】

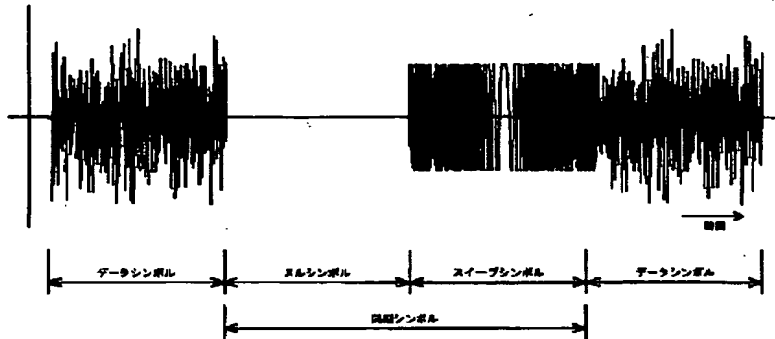


図9 同期シンボルを含む伝送フレーム構成の一例

【図10】

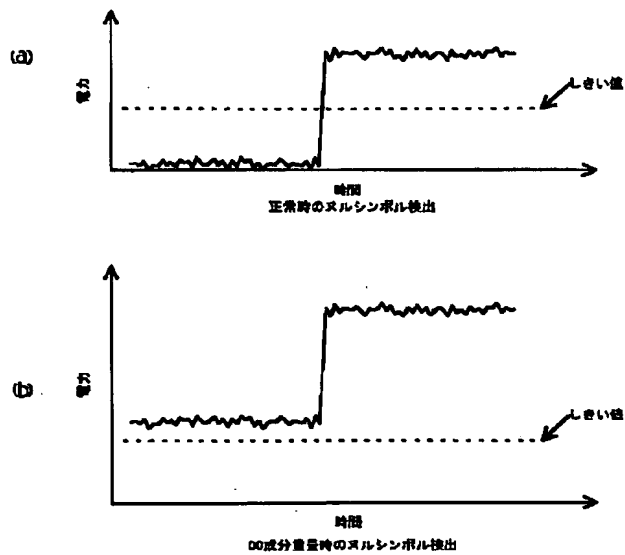


図10 ヌルシンボル検出処理を説明する図

【図13】

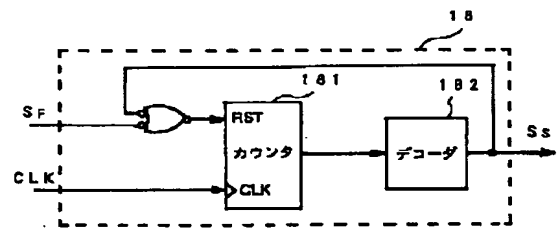


図13 シンボルカウンタの構成

【図14】

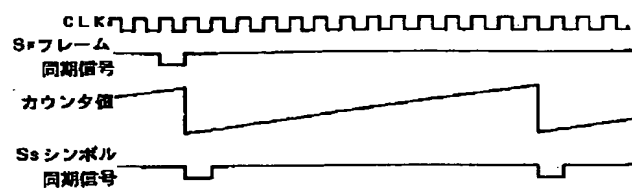


図14 シンボルカウンタのタイムチャート

フロントページの続き

(72)発明者 宮下 敦
東京都小平市御幸町32番地 日立電子株式
会社小金井工場内
(72)発明者 佐野 誠一
東京都小平市御幸町32番地 日立電子株式
会社小金井工場内
(72)発明者 塚本 信夫
東京都小平市御幸町32番地 日立電子株式
会社小金井工場内

(72)発明者 森山 繁樹
東京都世田谷区砧一丁目10番11号 日本放
送協会 放送技術研究所内
(72)発明者 濱住 啓之
東京都世田谷区砧一丁目10番11号 日本放
送協会 放送技術研究所内
(72)発明者 土田 健一
東京都世田谷区砧一丁目10番11号 日本放
送協会 放送技術研究所内